

[共同研究成果]

複雑なコネクタ形状を含むプリント基板の FDTD 解析の実践例

長野工業高等専門学校 春日 貴志
奈良先端科学技術大学院大学 北澤 太基 林 優一

1. はじめに

情報機器同士を接続する方法として、USB や HDMI ケーブルが一般的に用いられている。例えば、USB の通信規格は情報の大容量化に伴い、より高速で大容量データを送ることができるように規格が更新されてきた。2023 年では USB3.2 Gen2 が一般的に普及しているが、更に高速の USB4 (Thunderbolt 3 と互換) が 2019 年にリリースされ、一部のノート PC に搭載されている。USB4 の通信速度は 40Gbps であり、1 レーン 10Gbps×4 レーンで 40Gbps を実現している[1]。

通信速度が高速化する中で、電子機器から発生する電磁ノイズ放射 (Electromagnetic Interference : EMI) の増加や、信号品質 (Signal Integrity : SI) の劣化、電磁波の漏れによるデータ漏洩のリスクが高まっている[2]~[5]。線路構造が変化する場所では信号の反射が発生し、コモンモード成分に比例して EMI が増加することは一般的に周知の事実となっている。しかしながら、基板とケーブルを接続するコネクタでの SI の劣化や EMI の増加について明らかになっていない。この原因としてコネクタを含むモデル構造が複雑で実測による原因究明が困難であり、解析に複雑なコネクタモデルを組み込むことが難しいという背景があると推察される。

本稿では、コネクタを実装したプリント基板の電磁界解析法について提案し、実際の解析における高速化の手法について報告する。

2. コネクタを実装したプリント基板の電磁解析法

2.1 システム概要

USB コネクタを実装したプリント基板の解析モデルを作成するためのシステムの概要図を図 1 に示す。基板ならびに USB コネクタのモデルは、公表されている設計図面を基に 3DCAD により作図する。作成した解析モデルを、3 次元形状を保存するための形式で用いられる stl ファイルとして出力する。CAD から出力した stl ファイルを高さ方向にスライスするため、積層型 3D プリンターで用いられるスライサーソフトを使用する。スライサーソフトで stl ファイルを読み込み、解析モデルを高さ方向にスライスすることで、多層に区切られたデータを gcode ファイルとして出力する。gocode ファイルを Microsoft Visual C#で自作したプログラムによりバイナリ形式の FDTD 解析モデルに変換する。変換したファイルを用いて FDTD 解析を行う際に読み込むことで 3DCAD により作成した解析モデルの解析を可能にする。

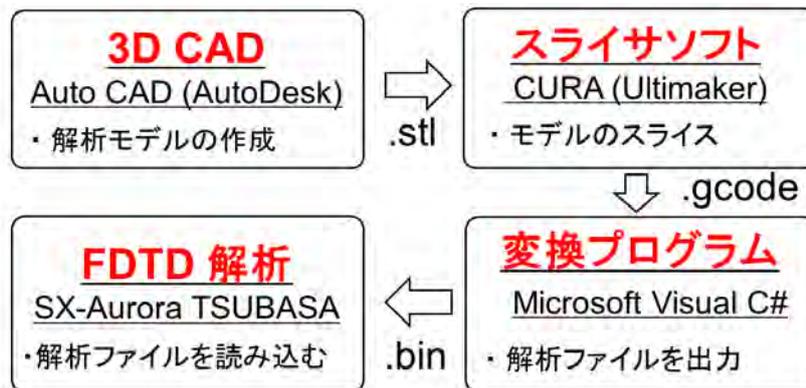


図1 CAD から FDTD 解析へのデータ変換概要図

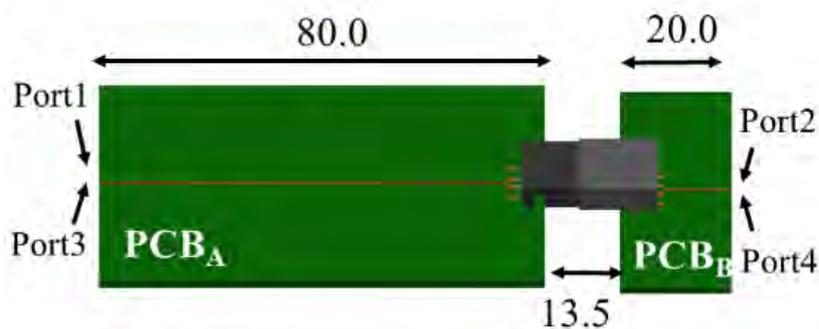


図2 3DCAD で作成した解析モデル

2.2 3DCAD によるモデルの作成

本システムを用いて解析を行うために、AutoDesk 社の Auto-CAD を用いて解析モデルを作成した。

基板同士をコネクタで相互接続したモデルを図2に示す。本研究では PCB_A 基板と PCB_B 基板を接続するために、嵌合状態の USB-TypeA を基板に取り付け、解析モデルとした。図2のように PCB_A が PCB_B よりも y 方向に長いモデルをとっている。このようなモデルを用いた理由として、差動 TDR 法での立ち上がり時間が長くなる際の線路長を確保するためである。解析モデルの大きさは各方向それぞれ $x = 113.5$ mm, $y = 50$ mm, $z = 8.3$ mm である。

2.3 スライサソフトによる gcode ファイルの出力

積層型 3D プリンターで用いられるスライサソフトは無償で提供されているものが多くある。本研究では Ultimaker 社の Cura を用いた。スライサソフトは層の厚さを指定し高さ方向に分割していくことで、各層ごとの印刷経路を決めていく。厚み方向にスライス画像を出力し断層画像を作成する。通常、スライサソフトはモデルをスライスした後、各層における印刷経路が記述された gcode ファイルを出力する。gcode ファイルは積層型 3D プリンターを制御するためコードだが、本システムでは FDTD 法の解析モデルの作成過程で用いる。

2.4 FDTD 解析モデルの出力

2.4.1 gcode ファイルから FDTD 解析モデルへの変換法

スライサソフトによって出力された gcode ファイルはコードが記述されただけのファイルのため、FDTD 法で解析が行えるデータに変換する必要がある。本システムでは図 3 に示す方法により、gcode ファイルをバイナリ形式で記述された FDTD 解析モデルに変換するプログラムを作成した。

層の高さや分解能などを計算した後、水平面 (xy 平面) における 2 次元配列を作成する。この配列は FDTD 解析の分解能と解析空間によってセル数が決定し、FDTD 解析の水平面における格子状のモデルに対応している。

その後 gcode からコマンドやパラメータを読み込み、配列に値を代入する。表 1 に gcode のコマンドの例を示す。主にプリンターの動きは G コマンドと座標値によって制御することができる。また、E パラメータにより、フィラメントの有無 (量) を指定することで印刷物を造形できる仕様になっている。これらのコマンドやパラメータから各層における 3D プリンターの印刷経路を読み取ることができる。

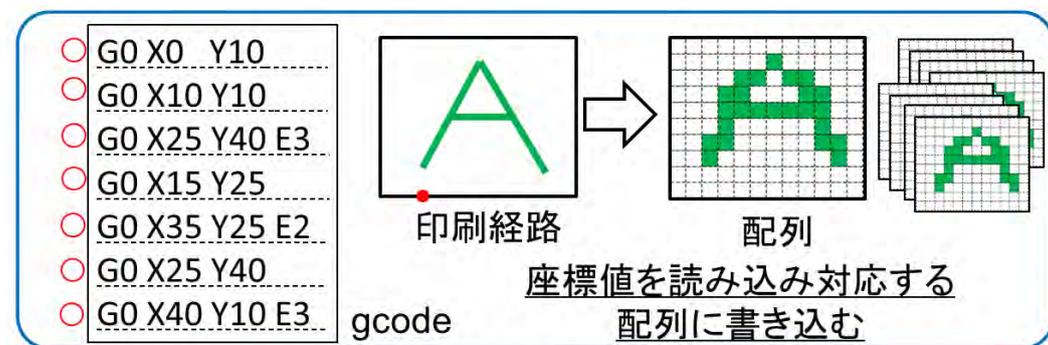


図 3 gcode からラスタデータ (FDTD の材料定数データ) への変換

表 1 G-code の代表的なコマンド

コード	機能
G00	位置決め (早送り)
G01	直線補間
G02	円弧補間 CW (時計回り)
G03	円弧補間 CCW (反時計回り)
E	フィラメントの送り出し距離
F	送り速度

2.4.2 連長圧縮法によるデータの圧縮

配列の作成、gcode ファイルの読み込みなどを各層ごとに行い層を重ねていくことで、格子状の 3 次元 FDTD 解析モデルが完成する。しかし、1cell を 1byte のデータとして出力を行っても、モデルのファイルの容量は数 100MB を超える容量になる。FDTD 解析を行う際に、大容量のファイルを読み込み、メモリに展開する処理は、膨大な計算時間を要することになる。

ファイル容量を減らすために、FDTD 解析の解析分解能を大きくすることや解析モデル自体を小さくすることで、総セル数を小さくすることは解析の汎用性を狭めるため好ましくない。そのため本システムで

はデータの圧縮技術を自作したプログラムに組み込むこととした。

データの圧縮技術として画像処理の分野で多く用いられる連長圧縮 (Run Length Encoding, RLE) 法を用いた [6]。図 4 に連長圧縮法によるデータ削減手法について示す。連長圧縮法は「AAAAACCCCEEEEEEE...」のようなデータがある場合に「A5C4E8...」のように、同じデータは一括りにし、「データ」+「データの個数」のようにデータの形式を変換させ圧縮を行う手法である。

連長圧縮法は簡単な圧縮アルゴリズムであり実装が容易である。また、データが連続していない場合はデータがより膨らんでしまうという特徴があるが、逆に多数のデータが連続してある場合は効果を大きく発揮する。今回の USB を実装したプリント基板モデルでは、スライス画像は自由空間や基板など、同じ媒質が連続して配置しているため、連長圧縮法によるデータの圧縮効果は大きい。圧縮前は 704MB であったのに対し、圧縮後は 1.6MB になった。連長圧縮前は、FDTD 解析の際のデータ読み込み時間が非常にかかり、実際に解析することが困難であったが、圧縮後は読み込み時間が大幅に短縮され、解析が可能になった。

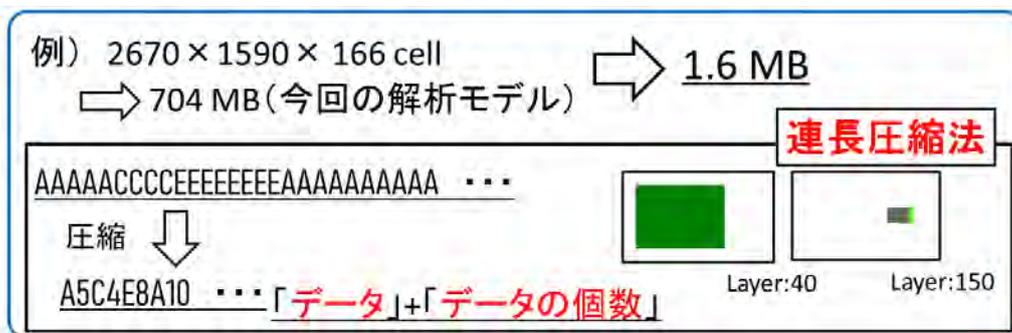


図 4 連長圧縮法によるデータ削減手法

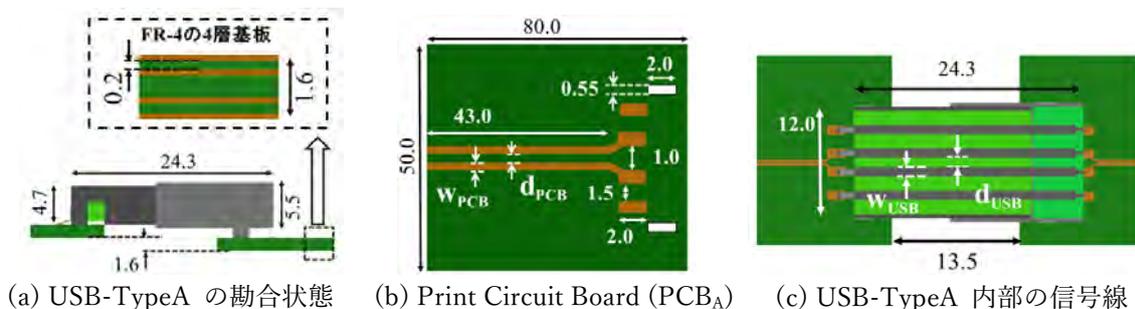


図 5 作成した解析モデルの詳細図

3. 数値解析

3.1 解析モデル

2.2 節では図 2 に解析モデルの全体図を示した。図 5 に基板同士をコネクタで相互接続したモデルの詳細図を示す。図 5(a) は USB-TypeA の勘合状態の詳細図である。PCB_A がプラグ (オス) 側、PCB_B がレセプタクル (メス) 側となっている。基板間の信号線および GND はコネクタのみで接続されている。また、コネクタ形状の関係から PCB_A と PCB_B では基板の高さに差が生じている。また、PCB_A お

よび PCB_B の基板厚は 1.6mm 厚である。基板は FR-4 基板を用いた。図 5(a) に示すように基板は 4 層の多層基板であり、2 層目はリターン (GND) 層である。表層から 2 層目の距離は 0.2mm である。

図 5(b) は PCB_A の詳細図である。USB2.0 の差動インピーダンスの規定値は $90\Omega \pm 20\Omega$ (70 ~ 110 Ω) である [7]。ここで MSL (Micro Strip Line) の特性インピーダンス Z_0 および差動インピーダンス Z_{diff} は以下の式で求めることができる [8]。

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.414}} \ln \frac{5.98h}{0.8w + t} \quad (1)$$

$$Z_{diff} = 2Z_0 \left(1 - 0.48^{-0.96 \frac{d}{h}} \right) \quad (2)$$

ここで ϵ_r , h は基板の比誘電率と GND 層と信号層の距離であり, w , d , t はそれぞれ線路幅, 線路間の距離, 電極の厚みである。ここで, MSL の差動線路が 90Ω になるように線路幅と線路間の距離を決定した。電極の厚さ t および GND 層と信号層の距離 h がそれぞれ $t = 0.035$ mm, $h = 0.2$ mm なので, MSL は $w_{PCB} = 0.22$ mm, $d_{PCB} = 0.13$ mm となる。本研究で用いた解析モデルは FR-4 の比誘電率を $\epsilon_r(\text{PCB}) = 4.3$ とすると, Z_0 は 63.1Ω となり, Z_{diff} は 91.9Ω となった。

図 5(c) は USB 嵌合部分の内部の詳細図である。USB 内部の信号線の線路幅や線路間の距離, USB の誘電体の厚さなどは文献 [7] をもとに設計した。それぞれ $w_{USB} = 1.0$ mm, $d_{USB} = 1.0$ mm である。また, 誘電体の厚さはプラグ, レセプタクル共に 1.9 mm とした。USB の誘電体は主に PBT (Polybutylene Terephthalate) や液晶ポリマー (Liquid Crystal Polymer, LCP), 熱可塑性エラストマーなどが用いられている。今回は USB の誘電体の比誘電率 $\epsilon_r(\text{USB}) = 3.2$ とした。

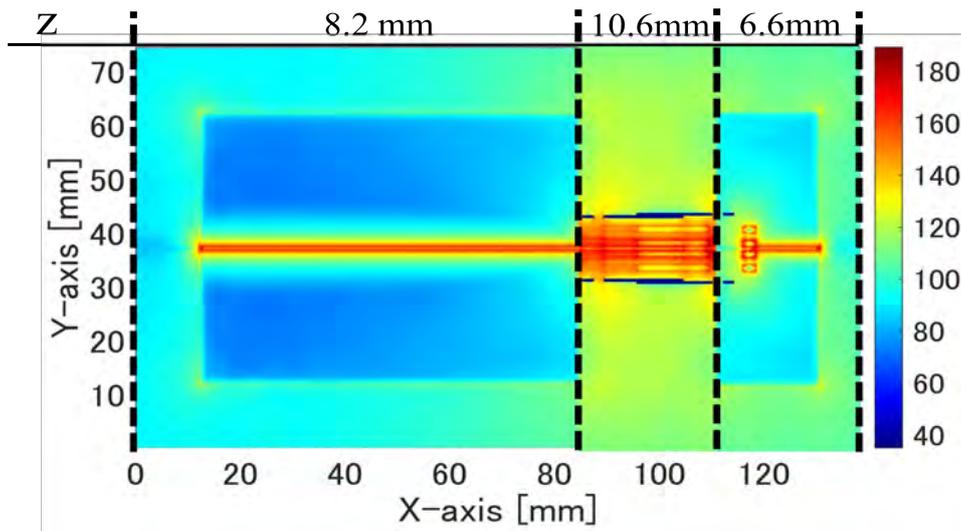
本研究では解析では, 東北大学サイバーサイエンスセンターの SX-Aurora TSUBASA を使用した。解析モデルファイルを読み込むためには連長圧縮法と逆のアルゴリズムを用いて展開を行う。メモリに展開を行った後, 媒質のパラメータなどを計算し, FDTD の更新方程式を解いていく。

解析分解能は $\Delta x = 0.050$ mm, $\Delta y = 0.044$ mm, $\Delta z = 0.050$ mm とした。時間ステップ Δt は Courant の安定化条件より $\Delta t = 91.9$ fs となる。

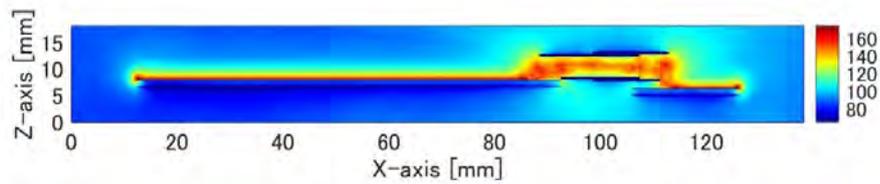
3.2 電磁界分布

本システムで作成した 3D モデルが適切に解析されているか評価するため電磁界分布を図 6 に示す。xy 平面における電界表示は基板の高さや USB 内部の信号線の高さが異なるため, 各信号線の上部の電界分布を表示している。Port1, 3 で印加された電圧は時間経過とともに x 方向に伝搬し, USB 内部を通過して Port2, 4 に到達することが確認できた。このようなことから, FDTD 法において適切にモデルが解析できていることが確認できた。

図 6(b) ではコネクタ内部で多重反射を起こしているため, コネクタ内部や構造の不連続点で電界強度が高くなっていることがわかる。このように, 電磁界分布の画像や動画表示などを用いると, 実測だけではわからないコネクタ内部の反射や伝搬の様子を確認できることがわかる。



(a) xy 平面における電界分布



(b) xz 平面における電界分布

図6 PCB_A に Gaussian パルスを印加した際の各平面の電界分布

4. 差動 TDR 法による差動インピーダンスの評価

図2で示した解析モデルの Port1,3 に、逆位相のステップパルスを印加する。ステップパルスの立ち上がり時間は、USB2.0規格を想定した400psから、USB4を想定した10psまで段階的に変化させた。差動TDRを行った結果を図7に示す。PCB_Aの差動線路の差動インピーダンスは約96Ωであった。コネクタ部の差動インピーダンス値ではいくつかのピークが観測できた。

$T_R=400\text{ps}$ ではコネクタ部の差動インピーダンスは規定の70~110Ωに収まっている。しかし、立ち上がり時間を短くすると、ステップパルスに高周波成分がより含まれ、TDR距離分解能が上がるため差動インピーダンスのピーク値がより増減し、規定の値を超えていることがわかる。実際、高周波の信号を印加した際の電磁界動画表示ではこれらの部分で信号の反射やコネクタ内部での多重反射が観測できる。よって、これらの構造がインピーダンス不整合の要因になることが改めて確認できた。

さらに、コネクタ部のピークが立っていない部分でもインピーダンス値が90Ωよりも高く測定された。これらの要因として、コネクタ内部の信号線の設計パラメータが起因していると予想される。コネクタの信号線はプラグ、レセプタクルの誘電体に挟まれ、誘電体のまわりはコネクタの筐体で囲まれている。そのため、コネクタ内部の断面図はSL (Strip Line)の構造と似ている。SLの特性インピーダンス Z_0 および差動インピーダンス Z_{diff} は

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{4b}{0.67\pi w(0.8+t/w)} \quad (3)$$

$$Z_{\text{diff}} = 2Z_0 \left(1 - 0.374e^{-0.29\frac{d}{b}} \right) \quad (4)$$

である[8]. ここで b は誘電体の厚さである. 3.1節で示した, USBの信号線の設計パラメータを用いると, $Z_0 = 72.4\Omega$ となり, $Z_{\text{diff}} = 119.5\Omega$ となる. 図7においても, $T_R = 10 \sim 100$ psではUSBの信号線部分の差動インピーダンスは約 115Ω となった. 計算結果と解析結果共に, 既定の 90Ω よりも高い値を示した. より正確な結果を得るには, USB内部の誘電体の誘電率の測定が必要だと考えられる.

USB2.0の最大のデジタルクロック周波数は240 Mbpsのため, 第5次高調波まで考えると1.2 GHz程度である. 差動TDR法の立ち上がり時間に換算して考えると, $T_R = 300$ ps程度になるためUSBの線路構造の不連続性の影響によるインピーダンス不整合は小さいと考えられる.

一方で, USB3.1では信号線の本数が4本から9本に増えるが, 基板の取り付け部分や線路の不連続性の構造はUSB2.0と同様である. USB3.1の差動TDR法の規定の立ち上がり時間は $T_R = 40$ ps (20 ~ 80%)であり, USB2.0よりも短い時間である. しかし, USB3.1の最大デジタルクロック周波数は2.5 Gbpsであるため, 先ほど同様に考えると $T_R = 28$ ps程度の差動TDR法による評価が必要になる. 図7の結果から考えると, 線路構造の不連続性によるインピーダンス不整合は大きくなり, 規定値(USB3.1の場合は $90 \pm 10\Omega$)は大幅に超えている[10].

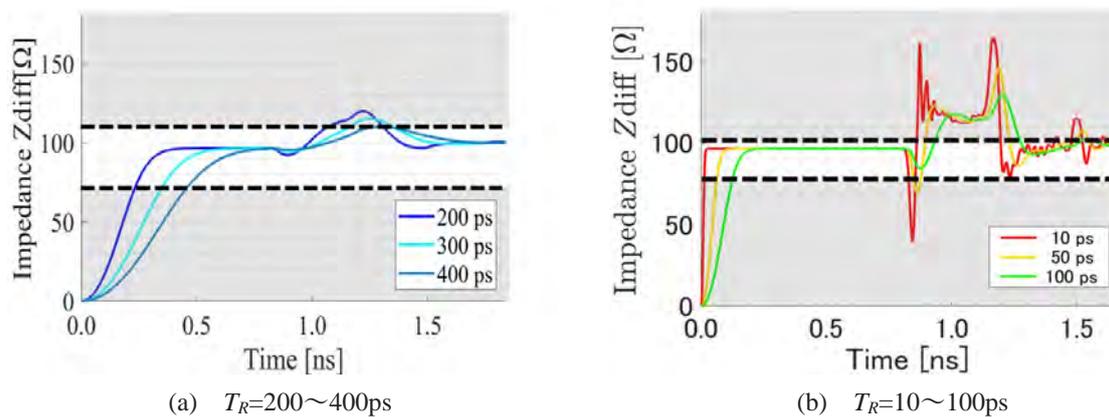


図7 差動TDR法による差動インピーダンス Z_{diff} の解析結果

5. まとめ

本研究では, コネクタの構造の不連続性や接触表面の劣化によるSIやEMIへの影響について明らかにするために, USBコネクタの3Dモデルを作成し, FDTD解析に組み込むシステムを開発した. 基板同士をコネクタで相互接続したUSB-TypeAコネクタを解析モデルとし, FDTD解析を行った. 電磁界表示により, 適切にモデルが解析できていることが確認でき, 開発したシステムが有効であることが示された. また, 差動TDR法によって立ち上がり時間の変化によるコネクタの差動インピーダンスの変化を確認することができた. また, 実波形における高調波や構造の不連続性によるインピーダンスの影響を考えると, 差動TDR法による差動インピーダンスの評価は立ち上がり時間を適切に選択する必要があることがわかった.

コネクタのモデルにおいてより正確で効果的な解析を行うには, 実際に使われているコネクタの内部構造を詳しくモデル化する必要がある. 今後は, CT-Scanを活用したモデル製作を行う必要がある.

謝辞：

本研究は、令和4年度萌芽型課題「通信用コネクタ構造を組み込んだプリント基板解析の高速化」として行った。高速化に対して、東北大学サイバーサイエンスセンターからの支援に感謝する。

参考文献

- [1] USB-IF, "USB4TM Specification", [Online] (<https://www.usb.org/document-library/usb4tm-specification>)
- [2] 古賀隆治, "日本における EMC 技術の進歩発展と将来展望", 信学論-B, Vol.J90-B, no.11, pp.1083-1088, Nov.2007
- [3] 佐藤利三郎他編, EMC 電磁環境学ハンドブック, 科学情報出版, 三松, 2009
- [4] 井上浩, 萱野良樹, "プリント回路基板周辺の EMC 問題", 信学論-B, vol.J96-B, no.4, pp.378-388, Apr.2013
- [5] 林優一, "ハードウェアに潜む電磁波セキュリティの脅威とその対策", IEICE Fundamentals Review, Vol.13, No.1, pp.28-37, July 2019
- [6] 奥富正敏, デジタル信号処理, 画像情報教育振興協会, 東京, 2011
- [7] USB-IF, "USB2.0 Specification", [Online] (<https://www.usb.org/document-library/usb-20-specification>)
- [8] Mark I. Montrose, EMC and the Printed Circuit Board: Design, Theory, and Layout Made Simple, IEEE, 1998
- [9] 相原健志, 林優一, 水木敬明, 曾根秀昭, "電気接触の状態が高周波信号伝達特性へ及ぼす影響の研究", 信学技報, Vol.118, No.162, EMCJ2018-32, pp.61-66, July 2018
- [10] USB-IF, "USB3.1 Legacy Cable and Connector Revision 1.0", [Online] (<https://www.usb.org/document-library/usb-31-legacy-cable-and-connector-revision-10>)